

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273567

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H03F 3/45

H03F 3/26

(21)Application number : 06-085400

(71)Applicant : YAMAHA CORP

(22)Date of filing : 31.03.1994

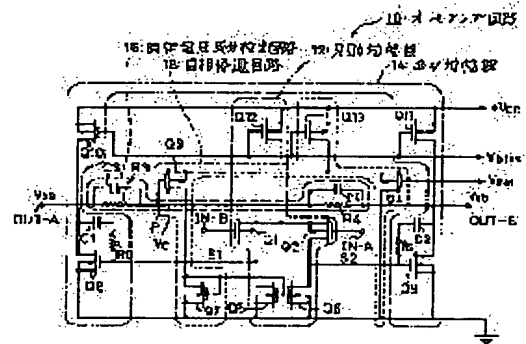
(72)Inventor : NORO MASAO

(54) OPERATIONAL AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To simplify the configuration of a common mode feedback circuit in the differential input/differential output operational amplifier circuit.

CONSTITUTION: An input signal is received from input terminals IN-A, IN-B and amplified by a differential amplifier stage 12. An output signal of the differential amplifier stage 12 is amplified by an output amplifier stage 14 and output signals Voa, Vob are obtained from output terminals OUT-A, OUT-B. A common mode voltage component detection circuit 16 detects a common mode voltage component Vc of the output signals Voa, Vob. A common mode feedback circuit 18 amplifies a voltage difference between the common mode voltage component Vc and a reference voltage Vref by using TRs Q3, Q4 and a current corresponding to the voltage difference flows to the TR Q7. The current flows to TRs Q5, Q6 being components of a current mirror circuit and to the TR Q7 to control an output amplifier stage 14. Thus, the common mode voltage Vc of the differential output of the output amplifier stage 14 is fed back to make a common mode voltage Vc being a differential output stable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 7 3 5 6 7

(43) 公開日 平成7年 (1995) 10月20日

(51) Int. Cl. ⁶

H 0 3 F 3/45
3/26

識別記号

A

庁内整理番号

8839-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1

F D

(全 3 頁)

(21) 出願番号 特願平6-85400

(22) 出願日 平成6年 (1994) 3月31日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 野 呂 正 夫

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

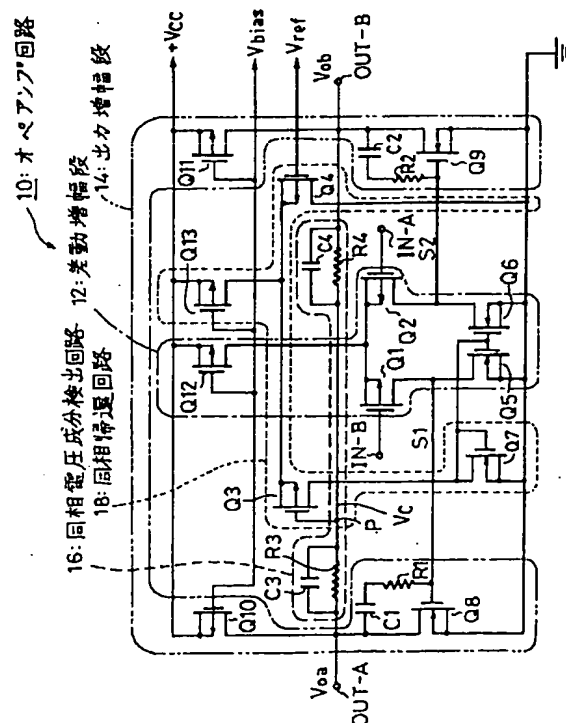
(74) 代理人 弁理士 加藤 邦彦

(54) 【発明の名称】 オペアンプ回路

(57) 【要約】

【目的】 差動入力・差動出力形のオペアンプ回路において、同相帰還回路の構成を簡略化する。

【構成】 入力信号は入力端子 IN-A, IN-B から入力されて差動増幅段 12 で増幅される。差動増幅段 12 の出力信号は出力増幅段 14 で増幅されて、出力端子 OUT-A, OUT-B から出力信号 V_{oa} , V_{ob} が得られる。同相電圧成分検出回路 16 は出力電圧 V_{oa} , V_{ob} の同相電圧成分 V_c を検出する。同相帰還回路 18 は、Q3, Q4 で同相電圧成分 V_c と基準電圧 V_{ref} の差電圧を増幅し、Q7 にこの差電圧に応じた電流を流す。この電流は Q7 とカレントミラー回路を構成する Q5, Q6 に流されて、出力増幅段 14 を制御する。これにより、出力増幅段 14 の差動出力の同相電圧 V_c に帰還がかけられて、差動出力の同相電圧 V_c が安定化される。



【特許請求の範囲】

【請求項 1】 差動増幅回路の増幅素子を構成する 2 個のトランジスタ Q 1, Q 2 に負荷としてトランジスタ Q 5, Q 6 をそれぞれ接続してなる差動増幅段と、この差動増幅段の各トランジスタ Q 1, Q 2 の出力信号をそれぞれ増幅する出力増幅段と、

この出力増幅段から出力される差動出力信号の同相電圧成分を検出する同相電圧成分検出回路と、

前記検出された同相電圧成分を入力する一方のトランジスタ Q 3 と、基準電圧を入力する他方のトランジスタ Q 4 と、前記差動増幅段と同一の定電流を供給する定電流源を有する差動増幅回路で構成され、トランジスタ Q 3 には負荷としてトランジスタ Q 7 が接続され、当該トランジスタ Q 7 と前記差動増幅段のトランジスタ Q 5, Q 6 は、トランジスタ Q 7 の電流をトランジスタ Q 5, Q 6 にカレントミラー合成するカレントミラー回路を構成してなる同相帰還回路と、

を具備してなるオペアンプ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、差動入力・差動出力形のオペアンプ回路に関し、同相帰還回路の構成を簡略化したものである。

【0002】

【従来の技術】 差動入力・差動出力形のオペアンプは、一般に初段の差動増幅段とこの差動増幅段の差動出力信号をそれぞれ増幅する出力増幅段で構成される。そして、出力増幅段の差動出力の同相電圧成分を検出して、この同相電圧成分と所定の基準電圧との差を求めて、これを差動増幅段に帰還することにより、同相電圧を安定化させている。

【0003】

【発明が解決しようとする課題】 従来の差動入力・差動出力形のオペアンプは、一般に同相電圧を安定化させるための同相帰還回路に複雑な回路を持つものが多く、回路素子数が多く必要となる欠点があった。

【0004】 この発明は、前記従来の技術における問題点を解決して、同相帰還回路の構成を簡略化した差動入力・差動出力形のオペアンプ回路を提供しようとするものである。

【0005】

【課題を解決するための手段】 この発明は、差動増幅回路の増幅素子を構成する 2 個のトランジスタ Q 1, Q 2 に負荷としてトランジスタ Q 5, Q 6 をそれぞれ接続してなる差動増幅段と、この差動増幅段の各トランジスタ Q 1, Q 2 の出力信号をそれぞれ増幅する出力増幅段と、この出力増幅段から出力される差動出力信号の同相電圧成分を検出する同相電圧成分検出回路と、前記検出された同相電圧成分を入力する一方のトランジスタ Q 3 と、基準電圧を入力する他方のトランジスタ Q 4 と、前

記差動増幅段と同一の定電流を供給する定電流源を有する差動増幅回路で構成され、トランジスタ Q 3 には負荷としてトランジスタ Q 7 が接続され、当該トランジスタ Q 7 と前記差動増幅段のトランジスタ Q 5, Q 6 は、トランジスタ Q 7 の電流をトランジスタ Q 5, Q 6 にカレントミラー合成するカレントミラー回路を構成してなる同相帰還回路と、を具備してなるものである。

【0006】

【作用】 この発明によれば、同相帰還回路は、差動増幅回路で差動出力の同相電圧成分と基準電圧の差電圧を増幅し、この差動増幅回路のトランジスタ Q 3 に負荷として挿入されているトランジスタ Q 7 にこの差電圧に応じた電流を流す。そして、この電流はトランジスタ Q 7 とカレントミラー回路を構成する差動増幅段の負荷トランジスタ Q 5, Q 6 に流されて、出力増幅段を制御する。このようにして、出力増幅段の差動出力の同相電圧に帰還がかけられて、差動出力の同相電圧が安定化される。

【0007】 これによれば、同相帰還回路は、差動増幅回路とこの差動増幅回路のトランジスタ Q 3 に負荷として挿入されたトランジスタ Q 7 で構成することができるので、少ない素子数で簡単に構成することができる。

【0008】

【実施例】 この発明の一実施例を図 1 に示す。このオペアンプ回路 10 は CMOS オペアンプとして、IC 内に構成されたものである。差動増幅段 12 は、トランジスタ Q 1, Q 2 とこれらの共通ソース電流源としてのトランジスタ Q 12 で差動増幅回路を構成している。入力端子 IN-A, IN-B から入力された信号はトランジスタ Q 1, Q 2 のゲートに入力される。トランジスタ Q 1, Q 2 には負荷としてトランジスタ Q 5, Q 6 が接続され、トランジスタ Q 1, Q 5 の接続点およびトランジスタ Q 2, Q 6 の接続点から差動増幅段 12 の出力信号 S 1, S 2 が出力される。

【0009】 出力増幅段 14 は、増幅素子としてトランジスタ Q 8, Q 9 を具え、前記差動増幅段 12 の出力信号 S 1, S 2 をゲートにそれぞれ入力する。トランジスタ Q 8 のドレイン・ゲート間に接続された抵抗 R 1 とコンデンサ C 1 およびトランジスタ Q 9 のドレイン・ゲート間に接続された抵抗 R 2 とコンデンサ C 2 は、位相補正用の素子である。トランジスタ Q 8, Q 9 には、定電流回路を構成するトランジスタ Q 10, Q 11 が負荷としてそれぞれ挿入されている。そして、トランジスタ Q 8, Q 10 の接続点およびトランジスタ Q 9, Q 11 の接続点から出力 V_{on} , V_{ob} が出力されて、出力端子 OUT-A, OUT-B に導かれる。このようにして、差動増幅段 12 と出力増幅段 14 とで差動入力・差動出力のオペアンプ回路を構成している。

【0010】 同相電圧成分検出回路 16 は、出力 OUT-A, OUT-B 間にコンデンサ C 3 と抵抗 R 3 の並列回路と、コンデンサ C 4 と抵抗 R 4 の並列回路を直列接

10

20

30

40

50

3

続して構成されている。ここで、 $C3=C4$ 、 $R3=R4$ である。これにより、これら並列回路どうしの接続点Pには、出力 V_{oa} 、 V_{ob} の同相電圧成分 V_c が得られる。

【0011】同相帰還回路18は、トランジスタQ3、Q4とこれらの共通電流源としてのトランジスタQ12で差動増幅回路を構成している。トランジスタQ12は差動増幅段12のトランジスタQ12と同一サイズで構成され、同一のバイアス電圧 V_{bias} により、トランジスタQ12と同一の定電流を供給する。トランジスタQ3のゲートには、前記同相電圧成分検出回路16の接続点Pで得られている出力信号 V_{oa} 、 V_{ob} の同相電圧成分 V_c が入力され、トランジスタQ4のゲートには基準電圧 V_{ref} が入力されている。したがって、トランジスタQ3、Q4による差動増幅回路は、出力信号 V_{oa} 、 V_{ob} の同相電圧成分 V_c と基準電圧 V_{ref} との差電圧を増幅することになる。

【0012】同相帰還回路18のトランジスタQ3には、負荷としてトランジスタQ7が接続されている。トランジスタQ7は、トランジスタQ5、Q6と同一サイズに設定されている。これらトランジスタQ7とトランジスタQ5、Q6はカレントミラー回路を構成する。し

4

たがって、トランジスタQ3の電流（同相電圧成分 V_c と基準電圧 V_{ref} との差電圧に対応した電流）はトランジスタQ5、Q6の電流となり、トランジスタQ8、Q9のゲート電圧を制御し、出力信号 V_{oa} 、 V_{ob} の同相電圧成分 V_c に帰還がかかる。そして、この帰還により、出力信号 V_{oa} 、 V_{ob} の同相電圧成分 V_c は基準電圧 V_{ref} と同電位になるように制御され、同相電圧成分 V_c が安定化される。

【0013】

【発明の効果】以上説明したように、この発明によれば、同相帰還回路は、差動増幅回路とこの差動増幅回路のトランジスタQ3に負荷として挿入されたトランジスタQ7で構成することができるので、少ない素子数で簡単に構成することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例を示す回路図である。

【符号の説明】

- 10 オペアンプ回路
- 12 差動増幅段
- 14 出力増幅段
- 16 同相電圧成分検出回路
- 18 同相帰還回路

【図1】

